

A01

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020064624 A
(43)Date of publication of application: 09.08.2002

(21)Application number:	1020010018615	(71)Applicant:	SAMSUNG ELECTRONICS CO., LTD.
(22)Date of filing:	09.04.2001	(72)Inventor:	LEE, JONG HO
(30)Priority:	02.02.2001 US 2001 766059		LEE, NAE IN
(51)Int. Cl	H01L 21/20		

(54) DIELECTRIC OF SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57) Abstract:

PURPOSE: A dielectric of a semiconductor device and a manufacturing method thereof are provided to minimize the pure fixing charge volume of a ferroelectric layer and to optimize a dielectric constant by forming a multi-layered ferroelectric.

CONSTITUTION: A dielectric comprises a semiconductor substrate(10), a silicate surface layer (12) made of a silicate material formed on the semiconductor substrate(10) and a ferroelectric layer (14) formed on the silicate surface layer(12). At this time, a dielectric structure(15) is formed with the silicate surface layer(12) and the ferroelectric layer(14). At this point, the ferroelectric layer(14) is formed by alternatively depositing two kinds of material layers, such as Hf oxide layer(18) and an aluminium oxide layer(20), at least one time.

&copy; KIPO 2003

Legal Status

Date of request for an examination (20010409)
Notification date of refusal decision (00000000)
Final disposal of an application (rejection)
Date of final disposal of an application (20040224)
Date of registration (00000000)
Date of opposition against the grant of a patent (00000000)
Number of trial against decision to refuse (2003101004678)
Date of requesting trial against decision to refuse (20031128)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
H01L 21/20

(11) 공개번호 특2002-0064624
(43) 공개일자 2002년08월09일

(21) 출원번호 10-2001-0018615
(22) 출원일자 2001년04월09일
(30) 우선권주장 09/766,059 2001년02월02일 미국(US)
(71) 출원인 삼성전자 주식회사
경기 수원시 팔달구 매탄3동 416
(72) 발명자 이종호
경기도 용인시 기흥읍 영덕리 두진아파트 103동 308호
이내인
서울특별시 관악구 봉천3동 관악현대0117동 1504호
(74) 대리인 임창현, 권혁수

심사청구 : 있음

(54) 반도체소자의 유전체막 및 그 제조방법

요약

반도체소자의 다층구조의 유전체막 및 그 형성방법을 제공한다. 이 다층구조의 유전체막은 실리콘 질화막보다 더 큰 유전상수를 갖는 실리콘이트 계면층 및 실리콘이트 계면층 상에 형성된 고유전체막을 포함한다. 고유전체막은 적어도 1회 교대로 적층된 제1 층 및 제2 층을 포함한다. 이에 따라, 계면특성을 개선시키고 아울러 고유전체막의 유전상수를 최적화시킬 수 있다. 또한, 각 층이 임계두께의 상한값보다 얇은 두께를 갖는 다층구조로 유전체막을 형성함으로써 유전체막의 결정화온도를 증가시키고 아울러 누설전류를 감소시킬 수 있다. 이에 따라, 소자의 성능이 개선된다.

도표도

도 1a

도 1b

도면의 간단한 설명

도 1a는 본 발명의 제1 실시예에 따른 반도체소자의 단면도이다.
도 1b는 본 발명의 제2 실시예에 따른 반도체소자의 단면도이다.
도 1c는 본 발명의 제3 실시예에 따른 반도체소자의 단면도이다.
도 2는 본 발명의 제4 실시예에 따른 반도체소자의 단면도이다.
도 3a 내지 도 3d는 알루미늄 산화막을 유전체막으로 사용하는 MOS 커패시터와 실리콘 산화막을 유전체막으로 사용하는 MOS 커패시터의 C-V 플롯들이다.
도 4a 내지 도 4d는 게이트 제조방법에 따른 표준화된 트랜스콘덕턴스를 설명하기 위한 그래프들이다.
도 5는 실리콘 산화막 및 알루미늄 산화막 사이의 플랫밴드 전압들을 대조하는 그래프이다.
도 6은 실리콘 산화막 및 알루미늄 산화막을 채택하는 커패시터들에 대하여 게이트 바이어스에 따른 전하 평핑 전류를 보여주는 그래프이다.
도 7은 실리콘 산화막 및 ZrO_2/Al_2O_3 의 적층 유전체막과 아울러 알루미늄 산화막 및 실리콘 산화막에 대한 C-V 곡선들을 보여주는 그래프이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체소자의 전계에 관한 것으로, 특히 유전체막 및 그 제조방법에 관한 것이다.
MOS 집적회로에 있어서, 소자의 크기는 고집적도 및 고성능을 제공하기 위하여 점점 작아지고 있다. 특히, 게이트 유전체막은 가능한 얇게 형성한다. 이는, 게이트 유전체막의 두께가 감소할수록 MOS 트랜지

스터의 구동전류가 증가하기 때문이다. 따라서, 소자의 성능을 향상시키기 위하여 극도로 얇을 뿐만 아니라 신뢰성이 있고 결함이 적은 게이트 유전체막을 형성하는 것이 점점 중요해지고 있다.

수십년 동안 열산화막 즉, 실리콘 산화막이 게이트 유전체막으로 사용되어 왔다. 이는, 열적 실리콘 산화막이 하부의 실리콘 기판에 대하여 안정적이고 상대적으로 제조공정이 간단하기 때문이다.

그러나, 실리콘 산화막은 3.9 정도의 낮은 유전상수를 가지므로 실리콘 산화막으로 이루어진 게이트 유전체막의 두께를 감소시키는 데에는 한계가 있을뿐만 아니라, 특히 얇은 실리콘 산화막으로 이루어진 게이트 유전체막을 통하여 흐르는 게이트 누설전류에 기인하여 실리콘 산화막의 두께를 감소시키는 것은 더욱 어렵다. 이에 따라, 실리콘 산화막보다 두꺼우나 소자의 성능을 개선시킬 수 있는 대체 유전체막이 요구되고 있다. 이러한 대체 유전체막의 성능은 등가산화막 두께(EOT; equivalent oxide thickness)로서 평가되거나 표현될 수 있다.

이는, 금속 산화막을 게이트 유전체막으로 사용하는 경우에, 금속 산화막의 물리적인 두께가 실리콘 산화막의 두께보다 두꺼울지라도 실리콘 산화막을 게이트 유전체막으로 사용하는 소자에 비하여 결코 성능이 떨어지지 않기 때문이다. 더우기, 게이트 유전체막을 두껍게 형성하면, 게이트 전극을 패터닝하는 동안 식각 여유도를 증가시킬 수 있다. 이러한 식각 여유도의 증가는 게이트 전극을 패터닝하는 동안 식각공정에 의해 실리콘기판이 노출되는 것을 방지한다.

이 때문에, 높은 유전상수를 갖는 금속산화물들이 게이트 유전체막 또는 커패시터 유전체막에 대한 대체 유전체막으로 제안되어 왔다. 금속산화물의 유전상수는 실리콘 산화막의 유전상수에 비하여 높게 만들 수 있으므로 실리콘 산화막과 동일한 등가산화막 두께를 가지면서 실리콘 산화막보다 물리적으로 더 두꺼운 금속산화막이 반도체소자의 게이트 유전체막 또는 커패시터 유전체막으로 사용될 수 있다.

그러나, 고유전막인 금속산화물은 실리콘기판과 같은 통상의 기판을 사용할 때 여러가지의 문제점들을 보인다. 예를 들면, 실리콘은 고유전 금속산화물과 쉽게 반응하거나 고유전 금속산화물을 증착 또는 후속 열공정을 실시하는 동안 쉽게 산화된다. 따라서, 실리콘기판 및 금속산화막 사이에 실리콘 산화막과 같은 경계막이 형성된다. 결과적으로, 등가산화막 두께가 증가되어 소자의 성능이 저하된다.

게다가, 실리콘기판 및 고유전 금속산화막 사이의 인터페이스 트랩 밀도(interface trap density)가 증가된다. 따라서, 운송자(carrier)들의 채널 이동도가 감소된다. 결과적으로, MOS 트랜지스터의 온/오프 전류 비율이 감소되어 MOS 트랜지스터의 스위칭 특성을 저하시킨다.

또한, 하프늄 산화막(HfO_2) 또는 지르코늄 산화막(ZrO_2)과 같은 고유전 금속산화막은 상대적으로 낮은 결정화 온도를 갖고 열적으로 불안한 상태를 보인다. 따라서, 금속산화막은 소오스/드레인 영역들에 주입된 불순물들을 활성화시키기 위한 후속의 열적 어닐링 공정을 실시하는 동안 쉽게 결정화될 수 있다. 따라서, 금속산화막 내에 전류가 흐를 수 있는 결정입계가 형성된다. 이에 더하여, 금속산화막의 표면거칠기가 심화되어 누설전류 특성을 더욱 저하시킨다. 더우기, 고유전 금속산화막의 결정화는 거친 표면을 갖는 정렬 키 상에서의 난 반사에 기인하여 후속의 정렬 공정에 원하지 않는 영향을 끼친다.

상기한 문제점들을 해결하기 위하여 여러가지의 시도들이 행해져 왔다. 예를 들면, 미국특허 제6,020,024호는 실리콘기판 및 고유전체막 사이에 실리콘 옥시나이트라이드막(silicon oxynitride layer; SiON)을 개재시키는 기술을 개시하고, 미국특허 제6,013,553호는 게이트 유전체막으로 하프늄 옥시나이트라이드막 또는 지르코늄 옥시나이트라이드막을 사용하는 기술을 개시한다. 이에 더하여, 피·시·티(PCT) 국제특허출원 공개번호 WO 00/01008호는 실리콘 산화막, 실리콘 질화막 및 실리콘 옥시나이트라이드 경계막을 개시한다. 또한, 미국특허 제6,020,243호는 고유전율을 갖는 지르코늄 실리콘 옥시나이트라이드막 또는 하프늄 실리콘 옥시나이트라이드막을 개시한다.

그러나, 이러한 방법들은 상기한 문제점들을 해결하는데 있어서 성공적이지 못하다. 예를 들면, 고유전체막 및 실리콘기판 사이 또는 고유전체막 및 폴리실리콘 게이트 전극 사이에 개재되는 실리콘 질화막 또는 실리콘 옥시나이트라이드막은 높은 계면상태 밀도(interface state density)와 함께 전하의 트랩핑을 유발시킨다. 따라서, 이러한 방법들은 채널 이동도를 감소시켜 소자의 성능을 저하시킨다. 더우기, 실리콘 질화막 또는 실리콘 옥시나이트라이드막을 형성하기 위해서는 상대적으로 많은 열공정이 요구된다.

중요하게는, 실리콘 질화막의 유전상수가 실리콘 산화막의 유전상수의 약 1.5배에 지나지 않으므로 등가산화막 두께를 현저히 감소시키기가 어렵고, 그에 따라 소자의 성능을 개선시키는 데 큰 효과를 얻을 수 없다.

따라서, 높은 결정화 온도를 갖는 개선된 유전체막이 여전히 요구되고, 인터페이스 특성의 개선은 물론 유전체막의 등가산화막 두께를 감소시킴으로써 소자의 성능을 개선시키기 위한 유전체막을 형성하는 방법이 요구된다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 높은 결정화온도를 갖고 양호한 인터페이스 특성은 물론 물리적인 두께에 비하여 현저히 얇은 등가산화막 두께를 갖는 고유전체막 구조체를 제공하는 데 있다.

본 발명이 이루고자 하는 다른 기술적 과제는 높은 결정화온도를 갖고 양호한 인터페이스 특성은 물론 물리적인 두께에 비하여 현저히 얇은 등가산화막 두께를 갖는 고유전체막 구조체의 형성방법을 제공하는 데 있다.

발명의 구성 및 작용

상기 기술적 과제들을 달성하기 위하여 본 발명은 반도체소자의 다층 유전체막 구조체 및 그 형성방법을 제공한다. 이 다층 유전체막 구조체는 실리콘이트 계면층(silicate interface layer) 및 상기 실리콘이트 계면층 상의 고유전체막을 포함한다.

본 발명의 바람직한 실시예에 따르면, 상기 고유전체막은 상기 실리콘이트 계면층보다 높은 유전상수를 갖는다.

바람직하게는, 상기 실리콘이트 계면층은 금속 실리콘이트 물질($M_nSi_nO_{2n}$)로 형성한다. 여기서, 상기 금속(M)은 하프늄(Hf), 지르코늄(Zr), 탄탈륨(Ta), 타이타늄(Ti) 또는 알루미늄(Al)일 수 있다.

바람직하게는, 상기 고유전체막은 금속산화막을 포함한다. 상기 금속산화막은 하프늄 산화막(HfO_2), 지르코늄 산화막(ZrO_2), 탄탈륨 산화막(Ta_2O_5), 알루미늄 산화막(Al_2O_3), 타이타늄 산화막(TiO_2), 이트륨 산화막(Y_2O_3), BST막, PZT막 또는 이들의 조합막을 포함한다.

또한, 상기 고유전체막은 차례로 적층된 한 쌍의 제1 층 및 제2 층을 포함한다. 구체적으로, 상기 고유전체막은 상기 한 쌍의 제1 층 및 제2 층이 적어도 2 쌍 반복적으로 적층되어 형성될 수 있다. 상기 제1 층은 하프늄 산화막, 탄탈륨 산화막, 이트륨 산화막 또는 지르코늄 산화막으로 형성하는 것이 바람직하고, 상기 제2 층은 알루미늄 산화막으로 형성하는 것이 바람직하다.

본 발명의 일 양태에 따르면, 상기 고유전체막의 유전상수는 순수 고정전하(net fixed charge)가 최소값을 갖도록 최적화될 수 있다.

더 나아가서, 본 발명의 다른 양태에 따르면, 인터페이스 특성이 개선될 수 있고, 등가산화막 두께가 유지되거나 감소될 수 있다.

이에 더하여, 본 발명의 또 다른 양태에 따르면, 상기 유전체막을 다층 구조로 형성함으로써 구현되는 높은 결정화온도와 함께, 상기 다층구조의 유전체막의 각 층은 임계두께보다 두껍지 않고 누설전류가 감소될 수 있다. 이에 따라, 소자의 성능이 개선된다.

이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 본 발명은 신규한 고유전체막 구조체 및 그 제조방법을 제공한다. 다음에 기재되는 설명에 있어서, 많은 특정 내용들은 본 발명의 완전한 이해를 도모하기 위하여 설명되어지는 것이다. 그러나, 당업계에서 통상의 지식을 가진 자라면 본 발명이 이들 특정 내용들에 한정되지 않고 다른 형태로 변형되어 실시될 수 있다는 것을 인지하여야 한다. 몇몇 예에서, 잘 알려진 공정 단계들, 잘 알려진 소자 구조 및 잘 알려진 기술들은 본 발명이 모호하게 해석되어지는 것을 피하기 위하여 구체적으로 설명되지 않는다.

바록 본 발명이 MOS 트랜지스터의 게이트 유전체막과 관련하여 설명될지라도, 본 발명은 본 발명의 사상 및 범위 내에서 비휘발성 메모리소자의 게이트층간 유전체막 또는 스토리지 커패시터의 유전체막과 같은 반도체소자의 어떠한 유전체막에도 적용될 수 있다.

본 발명의 바람직한 실시예들은 도 1 내지 도 7을 참조함으로써 가장 잘 이해될 수 있을 것이다. 도면들에 있어서, 동일한 참조부호(번호)로 표시된 부분들은 동일한 구성요소를 나타낸다.

도 1a 내지 도 1c를 참조하면, 본 발명의 바람직한 실시예들에 따라, 반도체 기판(10), 즉 실리콘 기판 상에 실리콘이트 물질로 이루어진 실리콘이트 계면층(12)을 형성한다. 상기 실리콘이트 계면층(12)의 두께는 약 5 내지 10Å의 범위인 것이 바람직하다. 또한, 상기 실리콘이트 계면층(12)의 유전상수는 실리콘 질화막 또는 실리콘 옥시나이트라이드막보다 큰 것이 바람직하다.

다음에, 상기 실리콘이트 계면층(12) 상에 고유전체막(14)을 형성한다. 상기 고유전체막(14)은 실리콘 산화막보다 더 큰 유전상수를 갖는다. 바람직하게는, 상기 고유전체막(14)은 상기 실리콘이트 계면층(12)보다 더 큰 유전상수를 갖는다.

상기 실리콘이트 계면층(12)은 금속 실리콘이트($M_nSi_nO_{2n}$) 물질로 형성하는 것이 바람직하다. 여기서, 상기 금속 'M'은 하프늄(Hf), 지르코늄(Zr), 탄탈륨(Ta), 타이타늄(Ti) 또는 알루미늄(Al)일 수 있다. 그러나, 본 발명은 이들 금속들에 한정되지 않고 본 발명의 사상 및 범위 내에서 본 발명에 적합한 어떠한 다른 물질도 사용될 수 있다.

상기 실리콘이트 계면층(12)은 실질적으로 계면 특성을 향상시킨다. 예를 들면, 상기 실리콘이트 계면층(12)은 실질적으로 상기 고유전체막(14) 및 상기 반도체기판(10) 사이의 반응을 억제시킨다. 상기 실리콘이트 계면층(12)은 실리콘 상에 형성될 때 화학적으로 안정한 상태를 유지하므로 실리콘 산화막과 같이 등가산화막 두께를 증가시키는 불필요한 계면층이 형성되지 않는다.

또한, 본 발명은 종래기술에 비하여 인터페이스 트랩 밀도를 감소시킨다. 이에 대해서는 도 5 및 도 6을 참조하여 아래에서 상세히 설명하기로 한다.

종래기술에서, 하프늄 산화막 또는 지르코늄 산화막이 유전체막으로 사용될 때, 원하지 않는 실리콘이트막이 자연적으로 형성되며, 상기 실리콘이트막의 실리콘 조성비를 제어하는 것이 불가능하다. 따라서, 등가산화막 두께를 최적화시키는 것이 불가능하다. 다시 말해서, 초기의 등가산화막에 비하여 얇도록 등가산화막 두께를 감소시키는 것이 불가능함은 물론, 초기의 등가산화막 두께를 그대로 유지하는 것 또한 어렵다. 더 나아가, 인터페이스 트랩 밀도가 증가되어 계면 특성이 저하된다.

이에 반하여, 본 발명에 있어서, 상기 실리콘이트 계면층(12)을 원자층 증착방법으로 형성하면, 상기 실리콘이트 계면층(12)의 두께 및 실리콘 조성비를 원하는 값으로 조절하는 것이 가능하다. 이에 따라, 유전체막 구조체(15)의 유전상수를 최적화시킬 수 있다. 더 나아가, 원하지 않는 자연 실리콘이트층이 형성되지 않으므로 계면특성을 개선시킬 수 있다.

이에 더하여, 종래기술과 대비되는 바와 같이, 산화방지막인 실리콘 질화막은 약 7 정도의 유전상수를 갖는 데 반하여 본 발명에 따른 금속 실리콘이트 계면층(12)은 약 10 내지 12 정도의 상대적으로 높은 유전상수를 갖는다. 따라서, 종래기술에 비하여 등가산화막 두께를 감소시킬 수 있다.

또한, 금속 실리콘이트 계면층(12)은 900°C의 고온에서 후속 열처리 공정을 실시할지라도 실질적으로 비

정질 상태를 유지한다. 따라서, 금속 실리케이트 계면층(12) 내에 결정입계가 거의 생성되지 않으므로 누설전류를 감소시킬 수 있다.

바람직하게는, 상술한 바와 같이, 상기 금속 실리케이트 계면층(12)은 원자층 증착 기술을 사용하여 형성한다. 따라서, 본 발명은 높은 열 공정이 요구되는 종래기술과는 달리 낮은 열 공정으로 실시하는 것이 가능하다. 더 나아가서, 원자층 증착 기술을 사용함으로써, 다양한 전구체(precursor)들이 사용될 수 있고 막의 두께를 정밀하게 제어할 수 있다. 이러한 장점들은 통상의 화학기상증착 방법으로는 얻을 수 없다.

상기 금속 실리케이트 계면층(12)을 형성하기 위한 원자층 증착 기술은 금속 소스, 실리콘 소스 및 산소 소스에 대한 주입 공정 및 퍼지(purge) 공정을 번갈아가면서 반복적으로 실시함으로써 진행될 수 있다. 상기 금속 실리케이트 계면층(12)을 지르코늄 실리케이트층으로 형성하는 경우에는, 사염화 지르코늄($ZrCl_4$)이 금속 소스로서 사용될 수 있다. 이와 마찬가지로, 상기 금속 실리케이트 계면층(12)을 하프늄 실리케이트층으로 형성하는 경우에는, 사염화 하프늄($HfCl_4$)이 금속 소스로서 사용될 수 있다. 또한, 상기 실리콘 소스는 SiH_4 가스 또는 $SiCl_4H_2$ 가스를 포함하고, 상기 산소 소스는 수증기(H_2O) 또는 오존(ozone)을 포함할 수 있다. 이 외에도, 본 발명의 사상 및 범위 내에서 본 발명에 적합한 다른 전구체들이 사용될 수도 있다.

다른 방법으로, 유기금속 화학기상증착(MOCVD) 기술 또는 반응성 스퍼터링 기술이 두께 및 조성비 측면에서 상기 원자층 증착 기술과 유사한 수준으로 조절하는 것이 가능하다면, 상기 금속 실리케이트 계면층은 유기금속 화학기상증착(MOCVD) 기술 또는 반응성 스퍼터링 기술을 사용하여 형성할 수도 있다. 상기 유기금속 화학기상증착 기술은 $Hf(O-Si-R)_4$ 또는 $Zr(O-Si-R)_4$ 와 같은 전구체들을 사용하여 수행될 수 있다. 상기 화학식들에서, 'R'은 C_2H_5 를 나타낸다. 이 외에도, 하프늄 소스로서 $Hf-t$ -butoxide가 사용될 수 있고, 지르코늄 소스로서 $Zr-t$ -butoxide가 사용될 수 있다. 또한, 실리콘 소스로서 테트라에톡시옥소사일레인(tetraethoxyorthosilane) 또는 테트라에틸로소실리케이트(tetraethylorthosilicate)가 사용될 수 있다.

다시 상기 고유전체막(14)의 형성에 대하여 살펴보면, 상기 고유전체막(14)은 금속 산화막으로 형성하는 것이 바람직하다. 상기 금속산화막은 하프늄 산화막(HfO_2), 지르코늄 산화막(ZrO_2), 탄탈륨 산화막(Ta_2O_5), 알루미늄 산화막(Al_2O_3), 타이타늄 산화막(TiO_2), 이트리움 산화막(Y_2O_3), BST막, PZT막 또는 이들의 조합막으로 형성하는 것이 바람직하다.

상기 금속산화막은 원자층증착 기술, 유기금속 화학기상증착 기술 또는 반응성 스퍼터링 기술을 사용하여 형성할 수 있다. 상기 반응성 스퍼터링 기술은 금속막을 증착하는 동안 공정챔버 내부로 산소가스를 주입 시킴으로써 실시된다. 또한, 상기 금속산화막은 금속막을 증착시키고 상기 금속막을 산소 분위기에서 어닐링시킴으로써 형성할 수 있다.

본 발명의 일 실시예에 따르면, 상기 실리케이트 계면층(12)의 금속은 상기 금속산화막(고유전체막; 14)의 금속과 동일한 것이 바람직하다. 예를 들면, 상기 유전체막 구조체(15)는 차례로 적층된 하프늄 실리케이트 계면층 및 하프늄 산화막을 포함한다.

다른 한편, 상기 실리케이트 계면층(12)을 지르코늄 실리케이트막으로 형성하는 경우에는, 상기 고유전체막(14)은 지르코늄 산화막으로 형성하는 것이 바람직하다. 이들 경우에 있어서, 상기 실리케이트 계면층(12)의 금속이 상기 금속산화막(고유전체막; 14) 내에 함유된 금속과 동일하므로, 상기 실리케이트 계면층(12) 및 상기 고유전체막(14) 사이의 계면 특성은 이들 사이의 전기적인 일관성 내지는 결합력에 기인하여 개선될 수 있다.

또한, 상기 하프늄 산화막을 알루미늄 원자들로 도핑시키면, 상기 하프늄 산화막이 후속의 열 공정을 실시하는 동안 결정화되는 것을 방지할 수 있다.

상술한 바와 같이, 상기 금속 실리케이트 계면층(12)의 유전상수는 그 내부에 함유된 실리콘의 조성비를 변화시킴으로써 조절될 수 있다. 본 발명에서는 상기 금속 실리케이트 물질($M_nSi_mO_{2n+2m}$)의 실리콘 조성비인 'x'가 약 0.3 내지 0.99일 때 최적의 유전상수를 보이도록 결정되었다.

본 발명의 다른 실시예에 따르면, 상기 고유전체막(14)은 도 1b, 도 1c 및 도 2에 보여진 바와 같이 다층의 구조를 포함하는 것이 바람직하다.

도 1b, 도 1c 및 도 2를 참조하면, 상기 고유전체막(14)은 두 종류의 물질막 즉, 하프늄 산화막(또는 지르코늄 산화막; 18) 및 알루미늄 산화막(20)을 서로 번갈아가면서 적어도 1회 반복적으로 적층시켜 형성한다. 여기서, 상기 알루미늄 산화막(20)은 고유전체막으로서 알루미늄 산화막만을 갖는 모스 구조에 대한 저주파 C-V 플롯들을 보여주는 도 3a 내지 도 3d로부터 알 수 있듯이 실리콘 산화막에 비하여 더욱 많은 음(-)의 고정전하들을 갖는다. 다시 말해서, 알루미늄 산화막의 플랫밴드 전압은 양(+)의 게이트 전압의 방향을 향하여 이동된다. 이것은 도 4a 내지 도 4d에 보여진 바와 같이 음(-)의 고정전하들이 존재함으로써 모스 구조에서의 트랜스컨덕턴스(transconductance)가 낮아지는 결과를 초래하는 것으로 설명된다. 이와는 반대로, 하프늄 산화막 또는 지르코늄 산화막과 같은 금속 산화막은 실리콘 산화막에 비하여 더욱 많은 양(+)의 고정전하들을 내포한다. 따라서, 본 발명이 어떤 특정한 동작원리에 한정되지는 않을지라도, 본 발명의 원인은 상기 알루미늄 산화막 내의 음(-)의 고정전하들이 하프늄 산화막 또는 지르코늄 산화막과 같은 금속 산화막 내의 양(+)의 고정전하들에 의해 보상될 수 있다고 믿는다. 이에 따라, 하프늄 산화막 또는 지르코늄 산화막과 같은 금속산화막 및 알루미늄 산화막을 교대로 적층시킴으로써 고유전체막(14)의 순수 고정전하량(net fixed charge)을 최소화시킬 수 있다.

본 발명의 또 다른 실시예에 따르면, 고유전체막(14)의 최상부층(도 2의 22)은 알루미늄 산화막으로 형성하는 것이 바람직하다. 이는 알루미늄 산화막의 형성열(heat of formation)이 지르코늄 산화막 또는 하프늄 산화막의 형성열보다 크기 때문이다. 여기서, 상기 형성열은 다른 물질과 반응하는 데 요구되는

에너지를 의미한다. 예를 들면, 상기 알루미늄 산화막의 형성열은 -1678kJ/mol 이고, 상기 지르코늄 산화막 및 하프늄 산화막의 형성열은 각각 -1100kJ/mol 및 -1122kJ/mol 이다. 따라서, 게이트 전극을 형성하기 위하여 상기 알루미늄 산화막 상에 폴리실리콘막(도 2의 24)을 직접 형성할지라도, 상기 알루미늄 산화막은 상기 폴리실리콘막(24)과 반응하지 않는다. 이에 따라, 본 발명에서는, 고유전체막 및 게이트 전극 사이의 계면특성을 개선시킬 수 있다.

이러한 이유들로 인하여, 본 발명에서는 금속 게이트 전극을 사용하지 않고 폴리실리콘 게이트 전극을 사용할 수 있다. 결과적으로, 게이트 전극 형성에 있어서 기존에 널리 사용되어온 제조공정을 사용할 수 있으므로 반도체소자의 제조원가를 절감시킬 수 있다.

다른 한편, 상기 실리콘이트 계면층(12)을 지르코늄 실리콘이트막으로 형성하는 경우에는, 그 위에 형성되는 고유전체막(14)은 지르코늄 산화막 및 알루미늄 산화막을 교대로 적층시키어 형성하는 것이 바람직하다. 이 경우에, 상기 실리콘이트 계면층(12)의 금속이 상기 금속산화막(고유전체막; 14) 내에 함유된 금속과 동일하므로, 앞서 설명한 바와 같이 상기 실리콘이트 계면층(12) 및 상기 고유전체막(14) 사이의 계면 특성은 이들 사이의 전기적인 일관성 내지는 결합력에 기인하여 개선될 수 있다. 이와 마찬가지로, 상기 실리콘이트 계면층(12)을 하프늄 실리콘이트막으로 형성하는 경우에는, 상기 고유전체막(14)은 하프늄 산화막 및 알루미늄 산화막을 교대로 적층시키어 형성하는 것이 바람직하다.

본 발명의 일 양태에 따르면, 상기 고유전체막(14)의 결정화 온도는 도 1b, 도 1c 및 도 2에 보여진 바와 같이 하프늄 산화막, 탄탈륨 산화막, 이트륨 산화막 또는 지르코늄 산화막과 같은 금속 산화막으로 형성된 제1 층(18) 및 알루미늄 산화막으로 형성된 제2 층(20)이 차례로 적층된 한 쌍의 복합막을 적어도 1회 반복적으로 형성함으로써 증가시킬 수 있다.

상기 제1 및 제2 층들(18, 20)의 두께는 약 2\AA 내지 60\AA 의 범위인 것이 바람직하다. 더욱 바람직하게는, 상기 제1 및 제2 층들(18, 20)의 두께는 각각 10\AA 및 5\AA 이다. 상기 제1 및 제2 층들(18, 20)의 두께가 상기 범위 내의 값을 갖는 경우에, 이들의 결정화 온도는 두꺼운 벌크 유전체막에 비하여 증가될 수 있다.

통상적으로, 두꺼운 벌크 하프늄 산화막의 경우에, 그 것의 결정화 온도는 600°C 내지 800°C 이다. 활성화 공정용 로(furnace)를 사용하여 진행할 때, 그 공정 온도는 800°C 내지 850°C 보다 높고, 활성화 공정을 금속 열처리 공정을 사용하여 진행할 때, 그 공정 온도는 900°C 정도이다. 따라서, 상기 벌크 하프늄 산화막은 상기 열처리 공정을 실시하는 동안 쉽게 결정화가 이루어질 수 있으므로 누설전류가 증가된다.

그러나, 상술한 본 발명에 따르면, 고유전체막(14)의 결정화 온도가 종래기술에 비하여 증가되어 누설전류를 감소시킬 수 있다. 여기서, 2\AA 은 단위자층의 기본 두께이고, 60\AA 은 후속 열처리 공정 동안 파핑(popping) 현상의 발생을 방지할 수 있는 최대 두께이다. 당 업계에서 잘 알려진 바와 같이, 고유전체막을 형성하는 동안 유전체막 내에 포획되는 하이드록실(hydroxyl) 중성자들은 후속 어닐링 시에 폭발 현상을 유발시킨다. 그 결과, 유전체막이 손상되어 그 내부에 홀(hole)을 남긴다. 일단 이러한 파핑 현상이 발생하면, 폴리실리콘 게이트 전극막 형성공정과 같은 후속 공정을 매우 어렵게 만든다.

상기 제2 층(20)의 두께는 상기 제1 층(18)의 두께의 약 $1/2$ 인 것이 바람직하다. 이는, 상기 알루미늄 산화막 내의 단위 두께당 고정전하량이 하프늄 산화막 또는 지르코늄 산화막 내의 단위 두께당 고정전하량의 2배인 것으로 알려져 있기 때문이다.

또한, 상기 제2 층(20)의 전체두께는 상기 고유전체막(14)의 전체두께의 $1/3$ 보다 크지 않은 것이 바람직하다. 이러한 제한은 상기 제2 층(20)이 하프늄 산화막인 경우에 철저히 요구된다. 상기 하프늄 산화막의 유전상수($k=30$)는 상기 알루미늄 산화막의 유전상수($k=10$)의 3배에 달한다. 따라서, 순수 고정전하량을 최소화시키고 동시에 20보다 큰 등가 유전상수를 얻기 위하여, 상기 알루미늄 산화막의 전체두께는 상기 고유전체막(14)의 전체두께의 약 33%인 것이 바람직하다.

도 1a 내지 도 1c에 보여진 실리콘 기판(10)은 본 발명의 사상 및 범위 내에서 고려할 때 도우핑된 폴리실리콘과 같은 반도체 또는 도전체일 수 있다. 더 나아가서, 도 2에 보여진 폴리실리콘막(24)은 메모리소자의 게이트 전극 또는 상부 커패시터 전극일 수도 있다.

도 5는 고유전체막으로서 알루미늄 산화막을 포함하는 모스 구조에서 트랜스콘덕턴스 및 플랫폼 전압 사이의 관계를 보여주는 그래프이다. 여기서, 기준이 되는 시료는 유전체막으로서 실리콘 산화막을 갖는 모스 구조체이다.

상기 모스 구조체의 트랜스콘덕턴스는 고유전체막 내의 고정전하들에 영향을 받는다. 다시 말해서, 고정전하량이 클수록 트랜스콘덕턴스는 감소한다. 특히, 중간정도의 게이트 전계에서의 트랜스콘덕턴스는 고정전하들에 기인하는 쿨롱 스캐터링(coulomb scattering)에 의하여 직접적으로 영향을 받는다.

이 점에 있어서, 종래기술에서는 채널 이동도를 감소시키는 쿨롱 스캐터링을 유발시키는 고정전하의 문제점이 충분히 고려되거나 설명되지 않았다. 그러나, 본 발명에서는 출원인이 그러한 문제점을 간과하지 않고, 상술한 바와 같이 알루미늄 산화막 내의 음(-)의 고정전하량을 하프늄 산화막 또는 지르코늄 산화막과 같은 금속 산화막 내의 양(+)의 고정전하량으로 보상하는 신규한 유전체막 구조체(15)를 설계함으로써 상기 고정전하 문제점을 효과적으로 해결한다.

도 5를 다시 참조하면, 플랫폼 전압의 이동량이 0 볼트일지라도, 알루미늄 산화막을 포함하는 모스 구조체의 트랜스콘덕턴스는 여전히 기준 모스 구조체의 트랜스콘덕턴스에 비하여 작다. 이러한 차이는 인터페이스 트랩 밀도에 기인한다. 이 인터페이스 트랩 밀도는 도 6에 보여진 전하평핑 전류를 사용하여 계산될 수 있다. 상기 인터페이스 트랩 밀도는 실리콘 기판(10) 및 고전체막(14)의 사이에 금속 실리콘이트 계면층(12)을 개재시킴으로써 감소시킬 수 있다.

도 7을 참조하면, 실리콘 기판 상에 30\AA 의 두께를 갖는 금속산화막 및 40\AA 의 두께를 갖는 알루미늄 산화막을 차례로 적층시킨 본 발명에 따른 모스 구조체의 C-V 곡선은 실리콘 산화막을 유전체막으로 사용하

는 종래의 모스 구조체와 거의 동일한 특성을 보인다. 다시 말해서, 본 발명에 따른 모스 구조체의 플랫 밴드 전압은 종래의 모스 구조체의 플랫 밴드 전압과 거의 동일하다. 결과적으로, 본 발명의 일 양태에 따르면, 고유전체막(14)의 고정전하량을 최소화시키는 것이 가능하다. 도 7에서 'CET'는 용량성 등가 두께(capacitance equivalent thickness)를 의미하는 것으로서 양자역학 효과(quantum mechanical effect)가 포함된 값이다. 여기서, 양자역학 효과는 40Å보다 얇은 박막에서 두드러지게 발생하는 전자의 파동성에 기인하는 효과이다. 따라서, 극박막의 두께를 보다 정확히 측정하기 위해서는 양자역학 효과를 배제시켜야 한다. 결과적으로, 도 7의 'CET'는 양자역학 효과가 배제되지 않는 등가산화막 두께를 의미하므로 일반적인 등가산화막 두께보다 두꺼운 값을 보인다.

발명의 효과

상술한 바와 같이 본 발명의 실시예에 따르면, 다층의 고유전체막(14), 예를 들면 알루미늄막과 함께 25 내지 30의 유전상수를 갖는 하프늄 산화막 또는 20 내지 25의 유전상수를 갖는 지르코늄 산화막을 교대로 적층시킨 다층의 고유전체막을 형성함으로써, 고유전체막(14)의 순수 고정전하량을 최소화시킴과 아울러 등가 유전상수를 20보다 큰 값으로 최적화시킬 수 있다.

더 나아가서, 본 발명에 따르면, 계면특성을 개선시킬 수 있고, 실리콘 질화막이나 실리콘 옥시나이트라이드막과 같은 계면층 또는 계면층 없이 벌크 실리콘을 사용하는 종래의 유전체막 구조에 비하여 등가산화막 두께를 감소시킬 수 있다. 다시 말해서, 실리콘 질화막 또는 실리콘 옥시나이트라이드막보다 큰 유전상수를 갖는 실리콘계 계면층(12)과 고유전체막(14)을 조합시킴으로써 개선된 계면특성과 함께 낮은 등가산화막 두께를 얻을 수 있다.

이에 더하여, 다층 구조체, 즉 각 층이 임계두께의 상한값보다 두껍지 않은 얇은 층으로 이루어진 다층 구조체를 갖는 고유전체막을 형성함으로써, 고유전체막의 결정화온도를 증가시킬 수 있음은 물론 누설전류를 감소시킬 수 있다. 이에 따라, 소자의 성능을 개선시킬 수 있다.

따라서, 본 발명은 종래 기술의 단점들을 갖지 않으면서 실리콘 산화막의 장점들을 갖는 유전체막 구조체를 제공한다.

(5) 청구의 범위

청구항 1. 실리콘계 계면층; 및

상기 실리콘계 계면층 상에 위치하는 고유전체막을 포함하는 반도체소자의 다층 구조체.

청구항 2. 제 1 항에 있어서,

상기 실리콘계 계면층은 실리콘 질화막보다 더 큰 유전상수를 갖는 것을 특징으로 하는 반도체소자의 다층 구조체.

청구항 3. 제 1 항에 있어서,

상기 고유전체막은 상기 실리콘계 계면층보다 더 큰 유전상수를 갖는 것을 특징으로 하는 반도체소자의 다층 구조체.

청구항 4. 제 1 항에 있어서,

상기 실리콘계 계면층은 금속 실리콘계 산화막($M_xSi_yO_z$)인 것을 특징으로 하는 반도체소자의 다층 구조체.

청구항 5. 제 4 항에 있어서,

상기 금속 실리콘계 산화막의 실리콘 조성비 'x'는 0.3 내지 0.99인 것을 특징으로 하는 반도체소자의 다층 구조체.

청구항 6. 제 4 항에 있어서,

상기 금속 실리콘계 산화막의 금속 'M'은 하프늄(Hf), 지르코늄(Zr), 탄탈륨(Ta), 타이타늄(Ti) 및 알루미늄(Al)으로 이루어진 일 군중 선택된 어느 하나인 것을 특징으로 하는 반도체소자의 다층 구조체.

청구항 7. 제 1 항에 있어서,

상기 실리콘계 계면층은 원자층증착(ALD; atomic layer deposition) 기술, 유기금속 화학기상증착(MOCVD) 기술 또는 반응성 스퍼터링(reactive sputtering) 기술을 사용하여 형성하는 것을 특징으로 하는 반도체소자의 다층 구조체.

청구항 8. 제 1 항에 있어서,

상기 실리콘계 계면층은 5 내지 10Å의 두께를 갖는 것을 특징으로 하는 반도체소자의 다층 구조체.

청구항 9. 제 1 항에 있어서,

상기 고유전체막은 금속 산화막인 것을 특징으로 하는 반도체소자의 다층 구조체.

청구항 10. 제 9 항에 있어서,

상기 금속 산화막은 하프늄 산화막, 지르코늄 산화막, 탄탈륨 산화막, 알루미늄 산화막, 타이타늄 산화막, 이트륨 산화막, BST막, PZT막 또는 이들의 조합막인 것을 특징으로 하는 반도체소자의 다층 구조

체.

청구항 11. 제 9 항에 있어서,

상기 금속 산화막은 원자층증착(ALD; atomic layer deposition) 기술, 유기금속 화학기상증착(MOCVD) 기술 또는 반응성 스퍼터링(reactive sputtering) 기술을 사용하여 형성하는 것을 특징으로 하는 반도체소자의 다층 구조체.

청구항 12. 제 9 항에 있어서,

상기 실리케이트 계면층은 금속 실리케이트 산화막이고, 상기 금속 실리케이트 산화막 내의 금속은 상기 금속 산화막의 금속과 동일한 것을 특징으로 하는 반도체소자의 다층 구조체.

청구항 13. 제 1 항에 있어서,

상기 고유전체막은 적어도 1회 번갈아가면서 반복적으로 적층된 제1 층 및 제2 층을 포함하는 것을 특징으로 하는 반도체소자의 다층 구조체.

청구항 14. 제 13 항에 있어서,

상기 제1 층은 하프늄 산화막, 탄탈륨 산화막, 이트리움 산화막 또는 지르코늄 산화막이고, 상기 제2 층은 알루미늄 산화막인 것을 특징으로 하는 반도체소자의 다층 구조체.

청구항 15. 제 13 항에 있어서,

상기 제1 층은 제1 고정전하를 갖고, 상기 제2 층은 상기 제1 고정전하와 반대의 극성을 갖는 제2 고정전하를 갖는 것을 특징으로 하는 반도체소자의 다층 구조체.

청구항 16. 제 13 항에 있어서,

상기 제2 층의 두께는 상기 제1 층의 두께의 1/2인 것을 특징으로 하는 반도체소자의 다층 구조체.

청구항 17. 제 16 항에 있어서,

상기 제1 층의 두께는 10Å이고, 상기 제2 층의 두께는 5Å인 것을 특징으로 하는 반도체소자의 다층 구조체.

청구항 18. 제 13 항에 있어서,

상기 제2 층의 전체두께는 상기 고유전체막 전체두께의 1/3이거나 그보다 얇은 것을 특징으로 하는 반도체소자의 다층 구조체.

청구항 19. 제 13 항에 있어서,

상기 고유전체막의 최상부층은 알루미늄 산화막인 것을 특징으로 하는 반도체소자의 다층 구조체.

청구항 20. 실리콘 질화막보다 더 큰 유전상수를 갖는 실리케이트 계면층; 및

상기 실리케이트 계면층 상에 위치하는 고유전체막을 포함하되, 상기 고유전체막은 적어도 1회 번갈아가면서 반복적으로 적층된 제1 층 및 제2 층을 포함하고, 상기 고유전체막은 상기 실리케이트 계면층보다 더 큰 유전상수를 갖는 것을 특징으로 하는 반도체소자의 다층 구조체.

청구항 21. 제 20 항에 있어서,

상기 실리케이트 계면층은 금속 실리케이트 산화막($M_{n-1}Si_2O_5$)이고, 상기 금속 실리케이트 산화막의 금속 'M'은 하프늄(Hf), 지르코늄(Zr), 탄탈륨(Ta), 티타늄(Ti) 및 알루미늄(Al)으로 이루어진 일 군중 선택된 어느 하나인 것을 특징으로 하는 반도체소자의 다층 구조체.

청구항 22. 제 20 항에 있어서,

상기 제1 층은 하프늄 산화막, 탄탈륨 산화막, 이트리움 산화막 또는 지르코늄 산화막이고, 상기 제2 층은 알루미늄 산화막인 것을 특징으로 하는 반도체소자의 다층 구조체.

청구항 23. 제 20 항에 있어서,

상기 제2 층의 두께는 상기 제1 층의 두께의 1/2인 것을 특징으로 하는 반도체소자의 다층 구조체.

청구항 24. 제 20 항에 있어서,

상기 제2 층의 전체두께는 상기 고유전체막 전체두께의 1/3이거나 그보다 얇은 것을 특징으로 하는 반도체소자의 다층 구조체.

청구항 25. 제 20 항에 있어서,

상기 고유전체막의 최상부층은 알루미늄 산화막인 것을 특징으로 하는 반도체소자의 다층 구조체.

청구항 26. 실리케이트 계면층을 형성하는 단계; 및

상기 실리케이트 계면층 상에 고유전체막을 형성하는 단계를 포함하는 반도체소자의 다층 구조체 형성방법.

청구항 27. 제 26 항에 있어서,

상기 고유전체막을 형성하는 단계는

제1 전하를 갖는 제1 층을 형성하는 단계; 및

상기 제1 층 상에 제2 층을 형성하는 단계를 포함하되, 상기 제2 층은 상기 제1 전하와 반대되는 극성의 제2 전하를 갖는 것을 특징으로 하는 반도체소자의 다층 구조체 형성방법.

청구항 28. 제 28 항에 있어서,

상기 제1 전하는 음(-)의 고정전하이므로, 상기 제2 전하는 양(+)의 고정전하이므로 특징으로 하는 반도체소자의 다층 구조체 형성방법.

청구항 29. 제 27 항에 있어서,

상기 제1 및 제2 층을 적어도 1회 형성하는 것을 특징으로 하는 반도체소자의 다층 구조체 형성방법.

청구항 30. 제 29 항에 있어서,

상기 고유전체막의 최상부층은 알루미늄 산화막으로 형성하는 것을 특징으로 하는 반도체소자의 다층 구조체 형성방법.

청구항 31. 제 26 항에 있어서,

상기 고유전체막을 형성하는 단계는

제1 두께를 갖는 제1 층을 형성하는 단계; 및

상기 제1 층 상에 제2 층을 형성하는 단계를 포함하되, 상기 제2 층은 제2 두께를 갖고, 상기 제1 및 제2 두께는 2Å 내지 60Å인 것을 특징으로 하는 반도체소자의 다층 구조체 형성방법.

청구항 32. 제 31 항에 있어서,

상기 제2 층의 전체두께는 상기 고유전체막의 전체두께의 1/30이거나 그보다 얇은 것을 특징으로 하는 반도체소자의 다층 구조체 형성방법.

청구항 33. 제 31 항에 있어서,

상기 제2 층의 두께는 상기 제1 층의 두께의 1/2인 것을 특징으로 하는 반도체소자의 다층 구조체 형성방법.

청구항 34. 제 31 항에 있어서,

상기 제1 층은 하프늄 산화막, 탄탈륨 산화막, 이트리움 산화막 또는 지르코늄 산화막으로 형성하고, 상기 제2 층은 알루미늄 산화막으로 형성하는 것을 특징으로 하는 반도체소자의 다층 구조체 형성방법.

청구항 35. 제 26 항에 있어서,

상기 실리케이트 계면층은 금속 실리케이트 산화막($M_{1-x}Si_xO_2$)으로 형성하는 것을 특징으로 하는 반도체소자의 다층 구조체 형성방법.

청구항 36. 제 35 항에 있어서,

상기 금속 실리케이트 산화막의 실리콘 조성비 'x'는 0.3 내지 0.99이고, 상기 금속 실리케이트 산화막의 금속 'M'은 하프늄(Hf), 지르코늄(Zr), 탄탈륨(Ta), 타이타늄(Ti) 및 알루미늄(Al)으로 이루어진 일 군중 선택된 어느 하나인 것을 특징으로 하는 반도체소자의 다층 구조체.

청구항 37. 제 26 항에 있어서,

상기 실리케이트 계면층을 형성하는 단계는 원자층증착(ALD; atomic layer deposition) 기술, 유기금속 화학기상증착(MOCVD) 기술 또는 반응성 스퍼터링(reactive sputtering) 기술을 사용하여 실시하는 것을 특징으로 하는 반도체소자의 다층 구조체.

청구항 38. 제 26 항에 있어서,

상기 실리케이트 계면층은 5 내지 10Å의 두께로 형성하는 것을 특징으로 하는 반도체소자의 다층 구조체 형성방법.

청구항 39. 제 26 항에 있어서,

상기 고유전체막은 하프늄 산화막, 지르코늄 산화막, 탄탈륨 산화막, 알루미늄 산화막, 타이타늄 산화막, 이트리움 산화막, BST막, PZT막 또는 이들의 조합막으로 형성하는 것을 특징으로 하는 반도체소자의 다층 구조체 형성방법.

청구항 40. 제 39 항에 있어서,

상기 금속 산화막은 원자층증착(ALD; atomic layer deposition) 기술, 유기금속 화학기상증착(MOCVD) 기술 또는 반응성 스퍼터링(reactive sputtering) 기술을 사용하여 형성하는 것을 특징으로 하는 반도체소자의 다층 구조체 형성방법.

청구항 41. 제 39 항에 있어서,

상기 실리케이트 계면층은 금속 실리케이트 산화막으로 형성하고, 상기 금속 실리케이트 산화막의 금속은 상기 금속 산화막의 금속과 동일한 것을 특징으로 하는 반도체소자의 다층 구조체 형성방법.

청구항 42. 기판;

상기 기판 상에 형성된 실리콘이트 계면층;

상기 실리콘이트 계면층 상에 형성된 고유전체막;

상기 고유전체막 상에 형성된 게이트 전극; 및

상기 게이트 전극의 양 옆의 상기 기판에 형성된 소오스/드레인 영역을 포함하는 트랜지스터.

청구항 43. 제 42 항에 있어서,

상기 고유전체막의 최상부층은 알루미늄 산화막이고, 상기 게이트 전극은 폴리실리콘막을 포함하는 것을 특징으로 하는 트랜지스터.

청구항 44. 기판;

상기 기판 상에 형성된 부유게이트;

상기 부유게이트 상에 형성된 실리콘이트 계면층;

상기 실리콘이트 계면층 상에 형성된 고유전체막; 및

상기 고유전체막 상에 형성된 제어게이트 전극을 포함하는 비휘발성 메모리소자.

청구항 45. 하부전극;

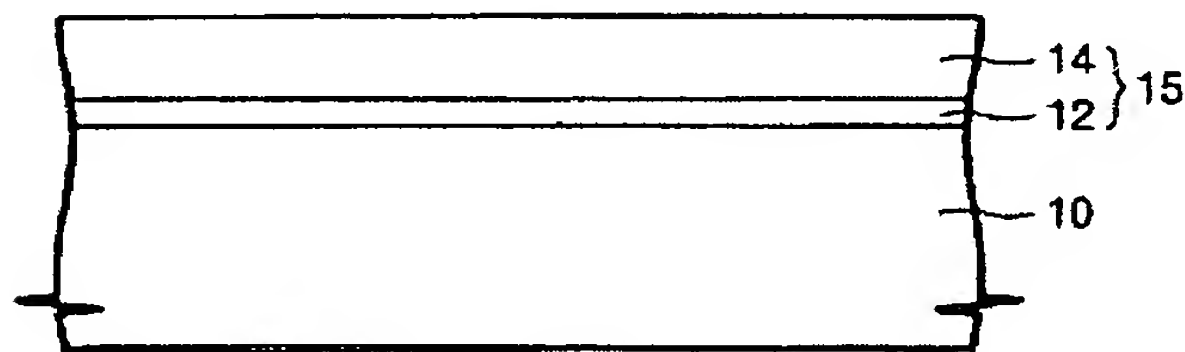
상기 하부전극 상에 형성된 실리콘이트 계면층;

상기 실리콘이트 계면층 상에 형성된 고유전체막; 및

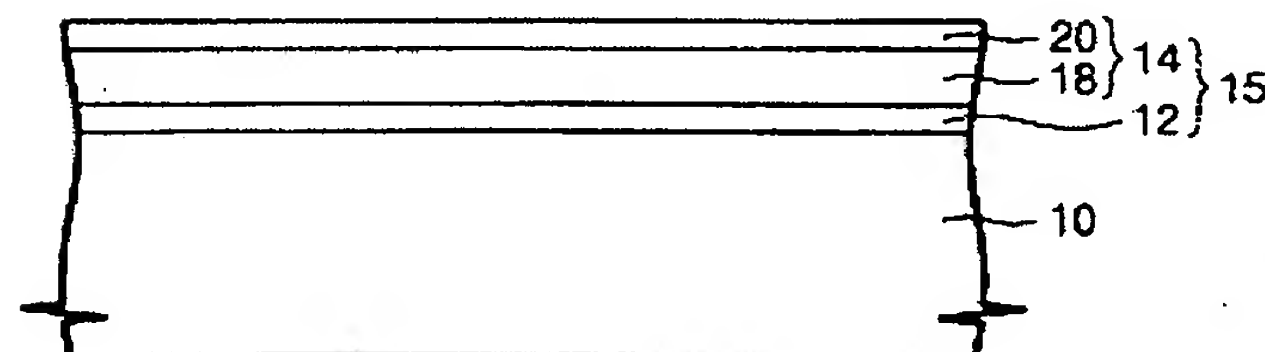
상기 고유전체막 상에 형성된 상부전극을 포함하는 반도체소자의 커패시터.

도면

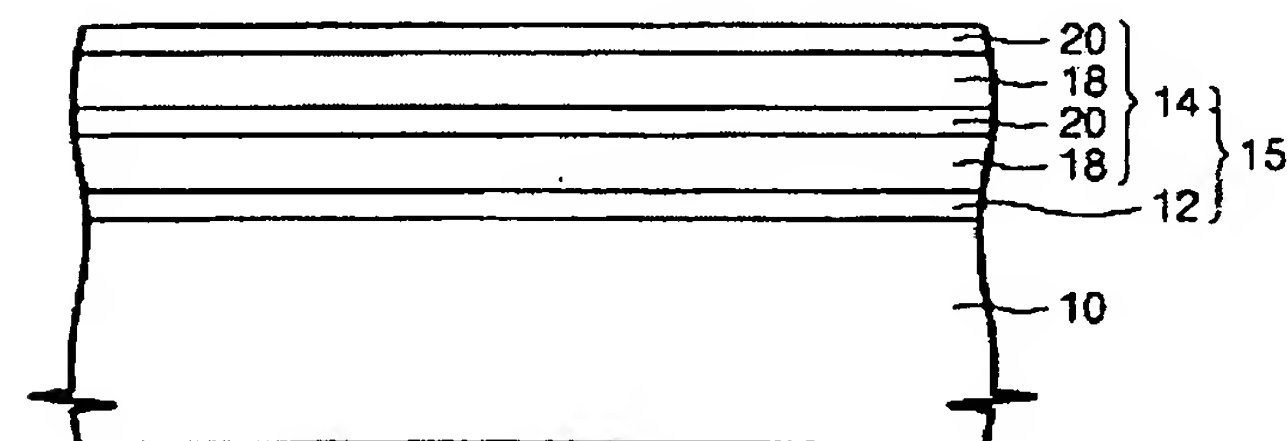
도면 1a



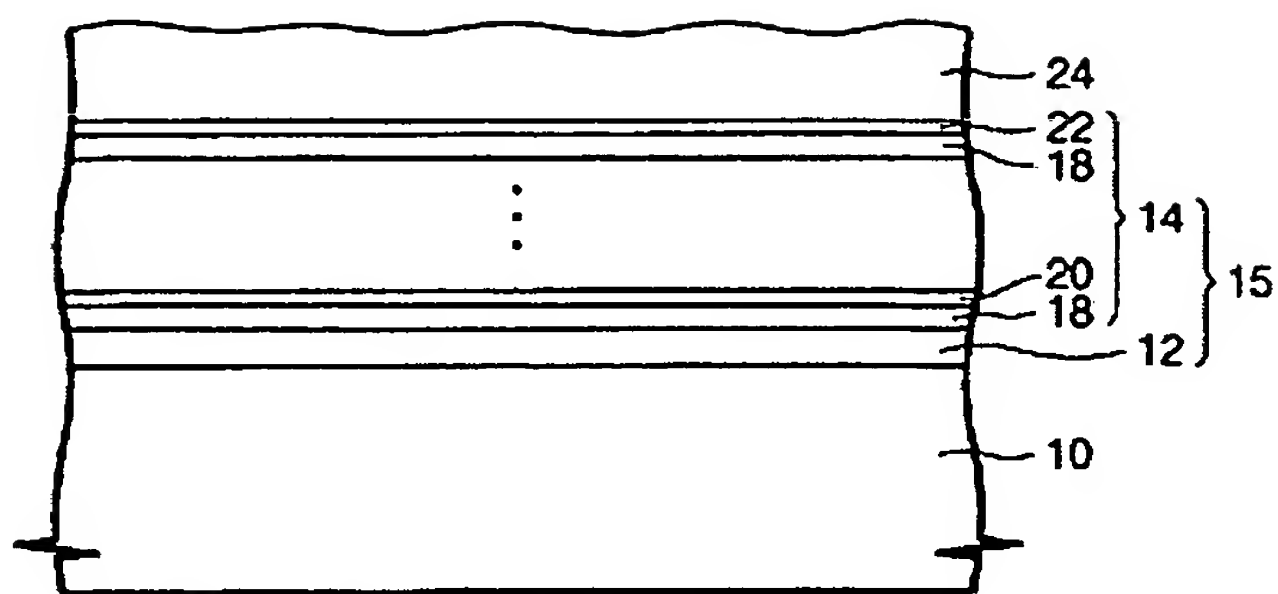
도면 1b



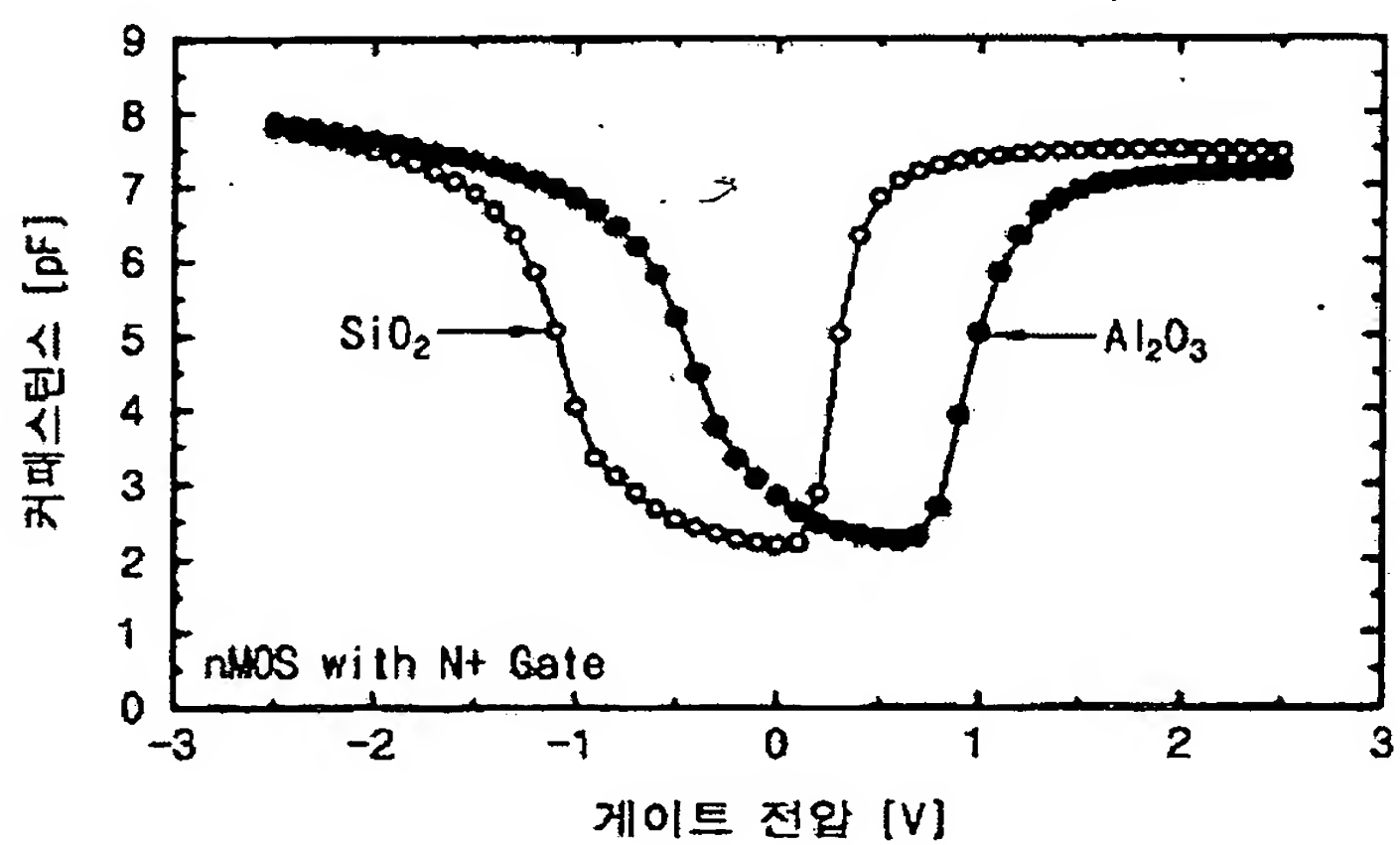
도면 1c



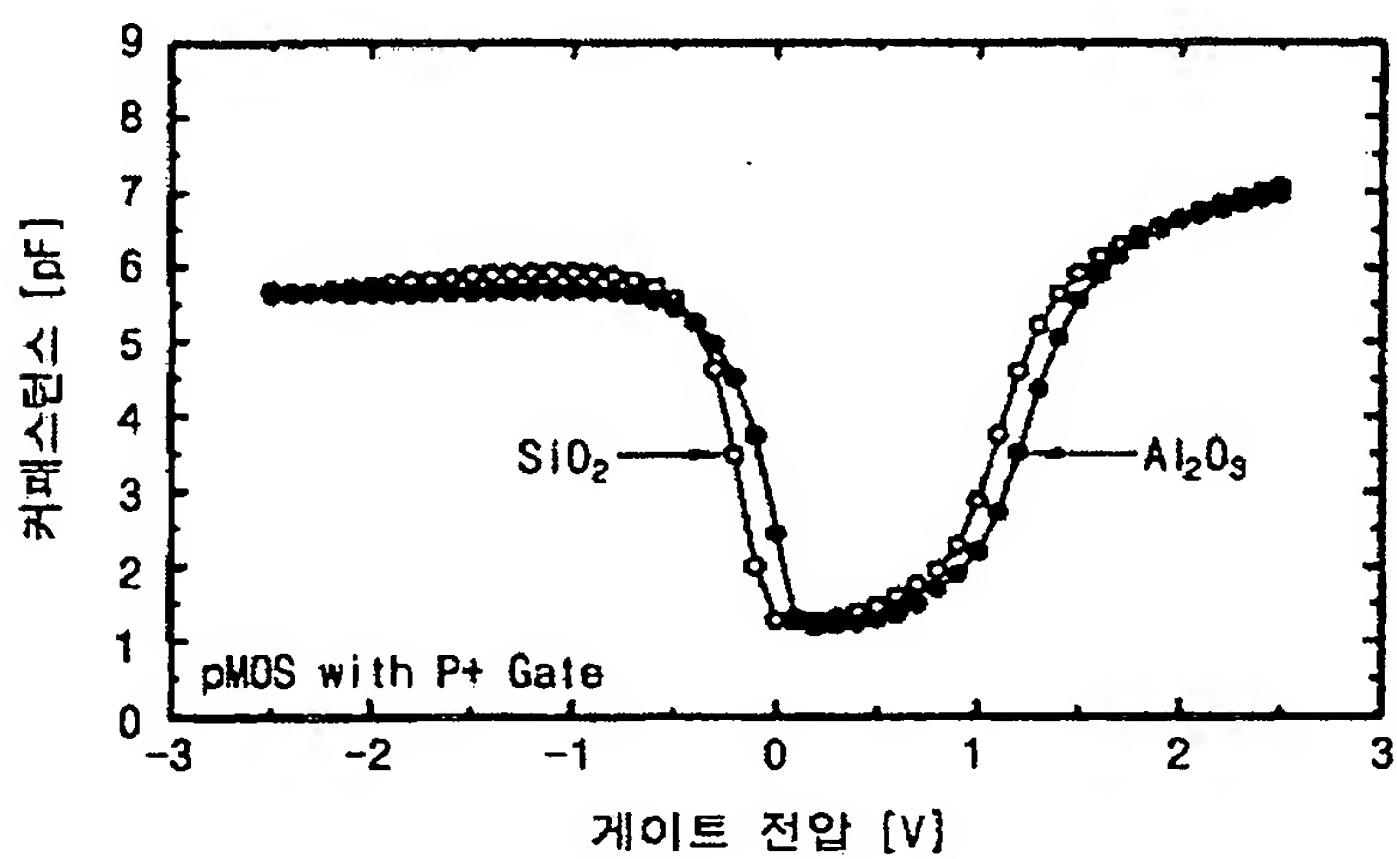
도 12



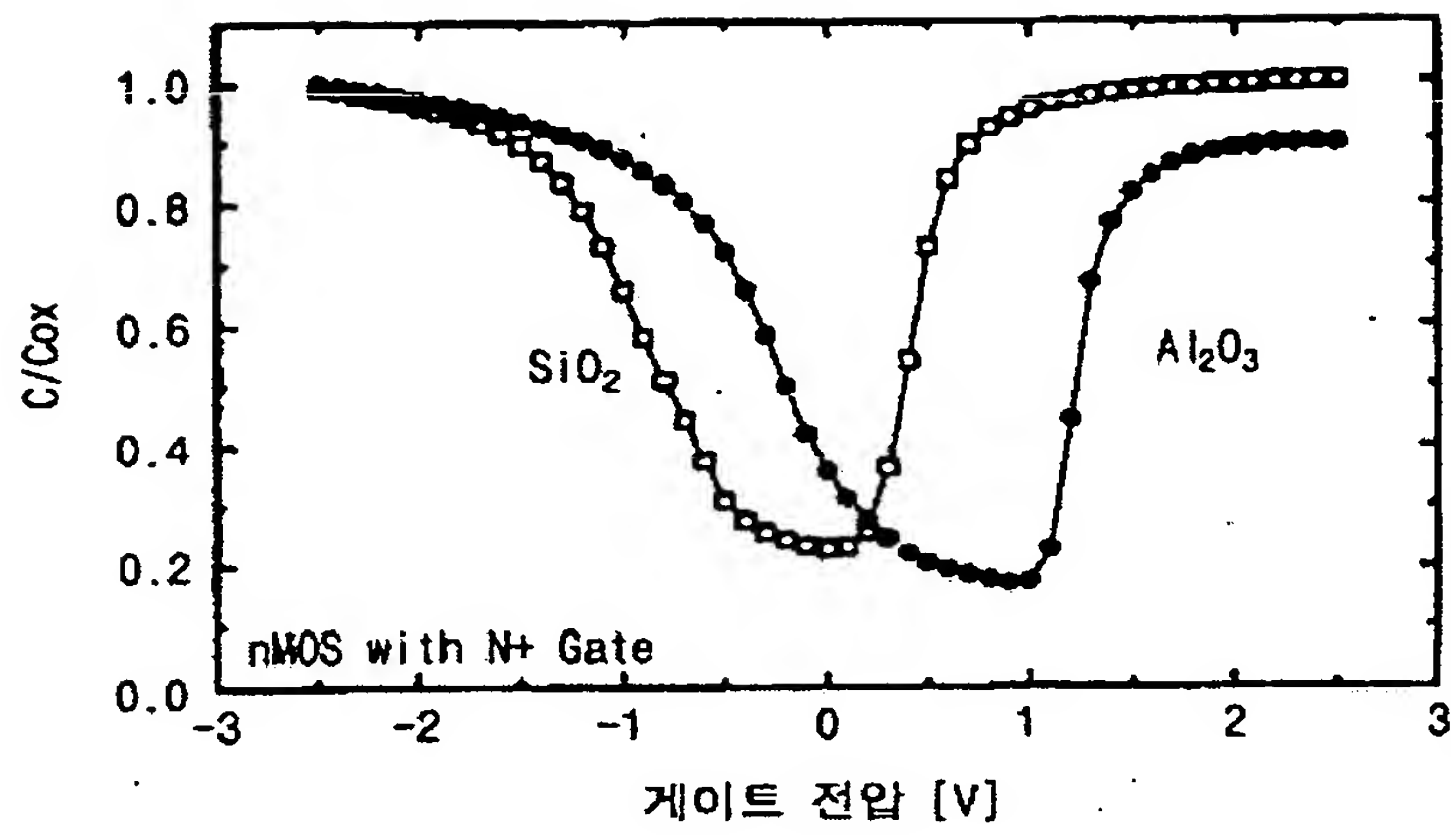
도 13a



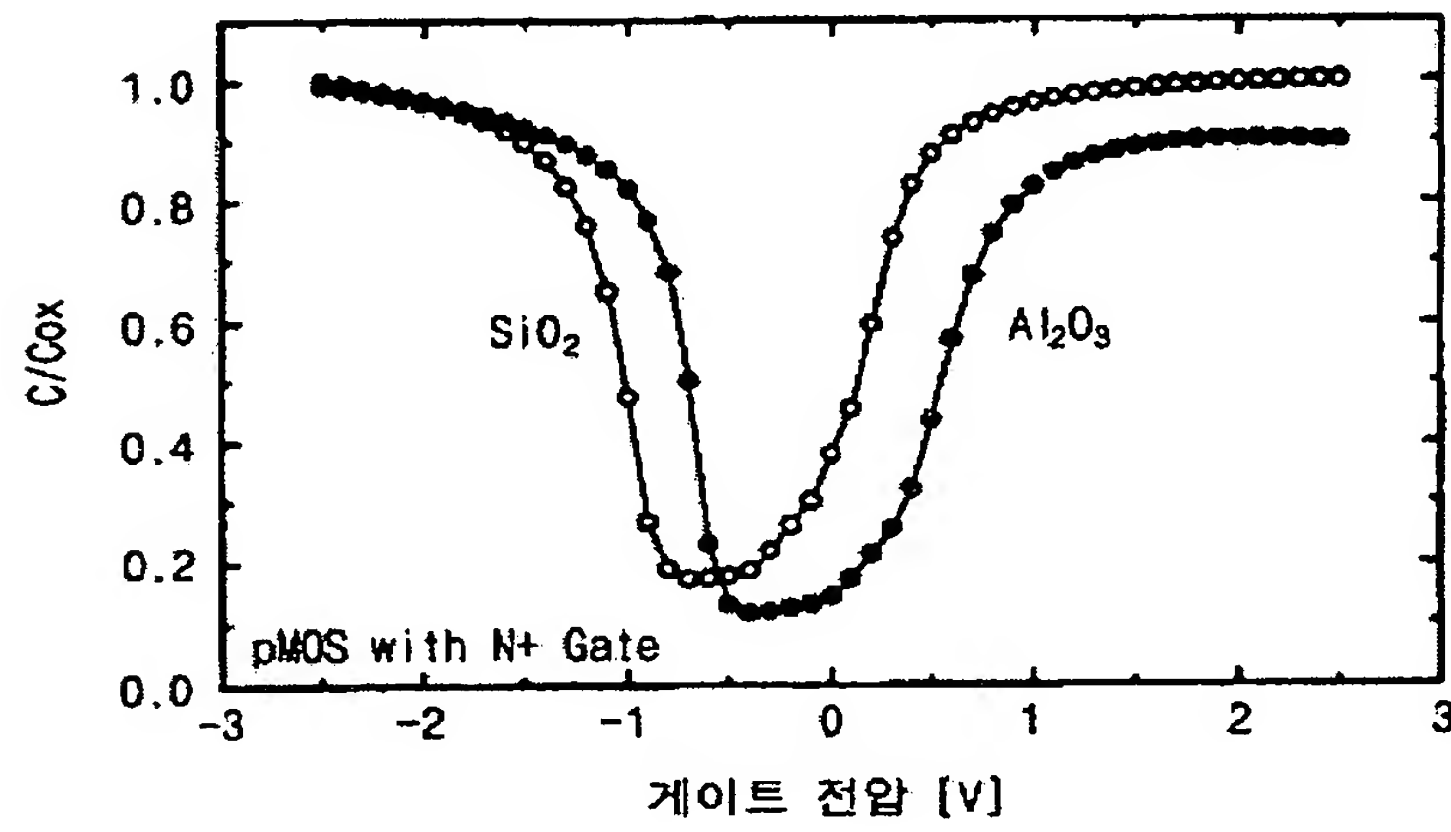
도 13b



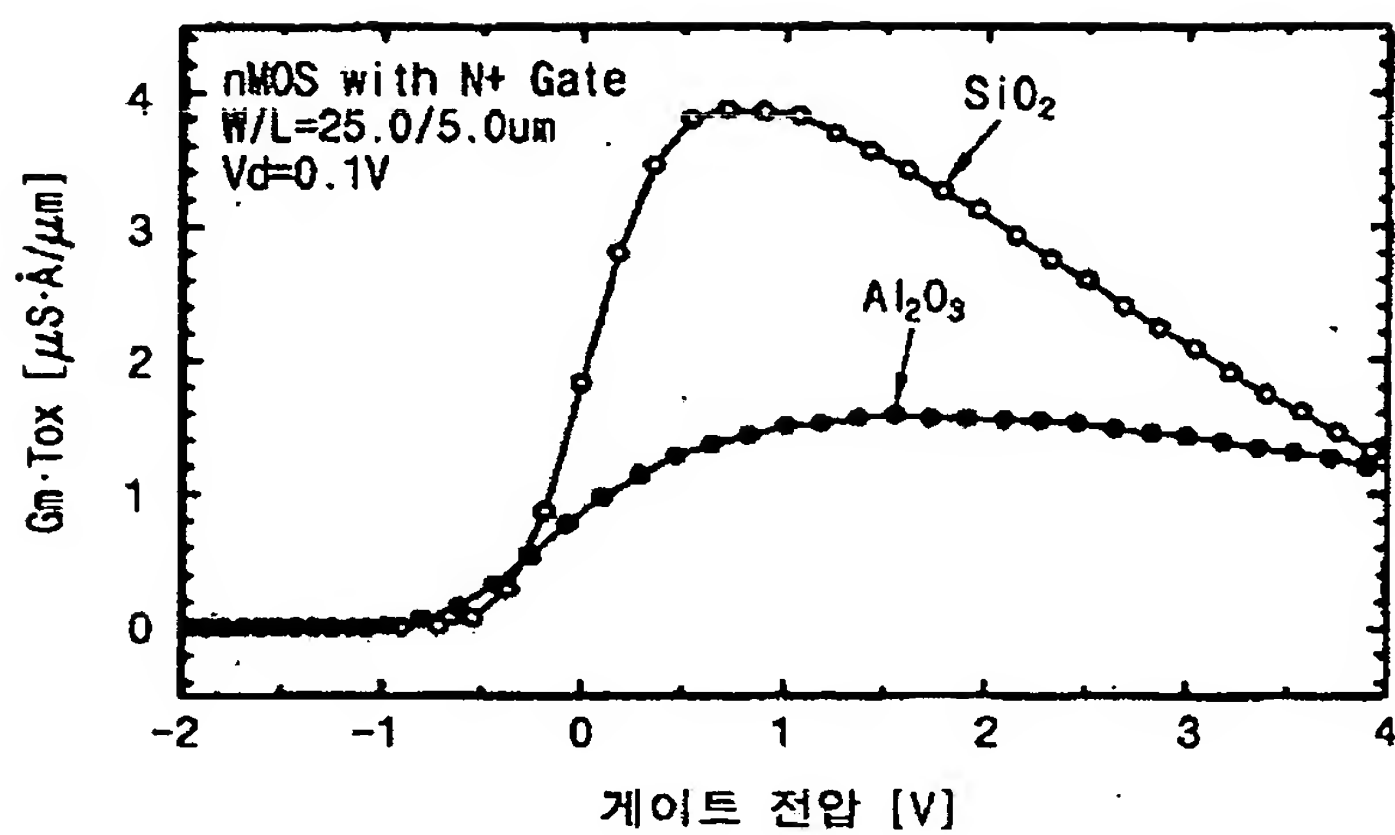
도 3b



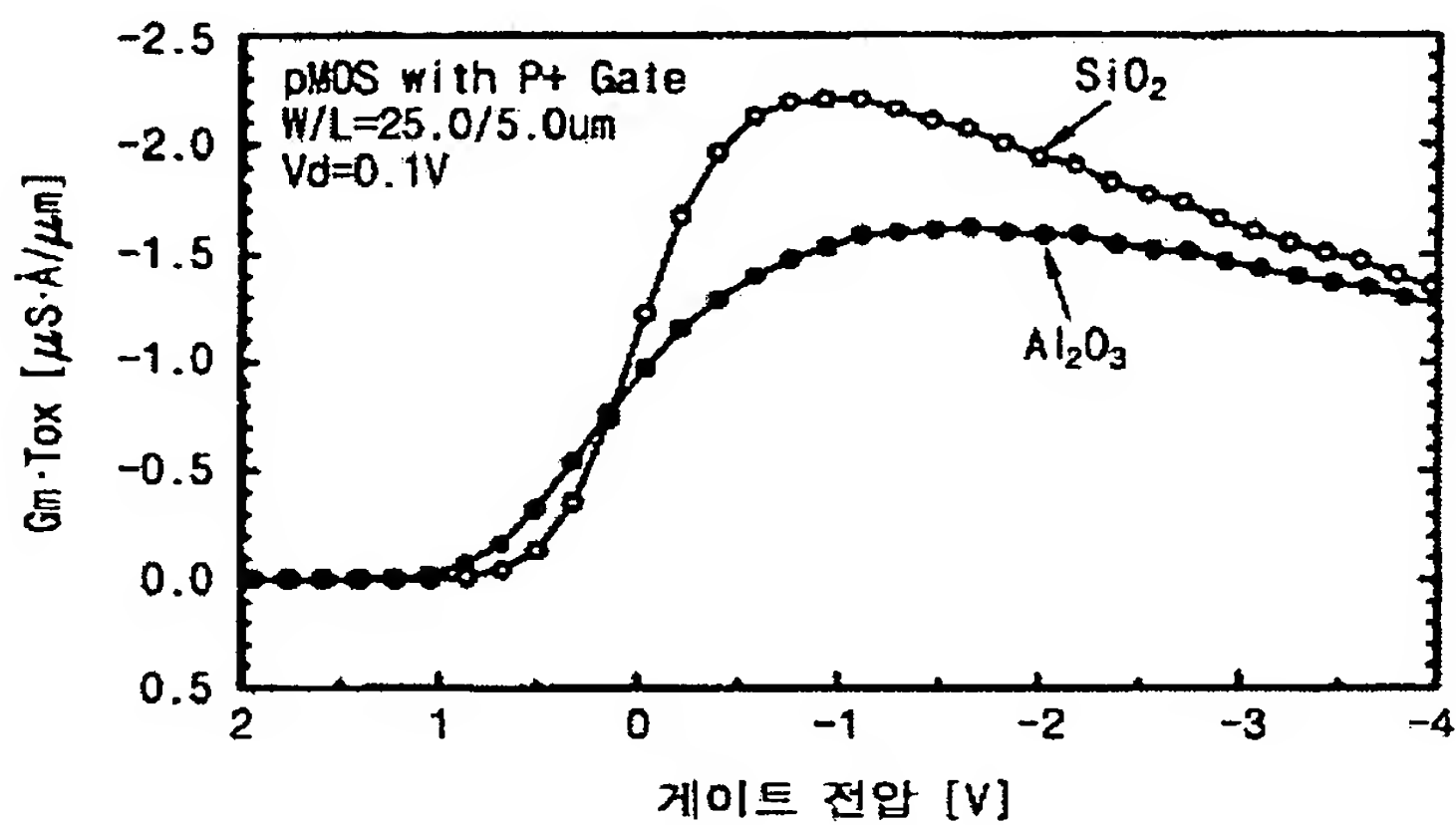
도 3c



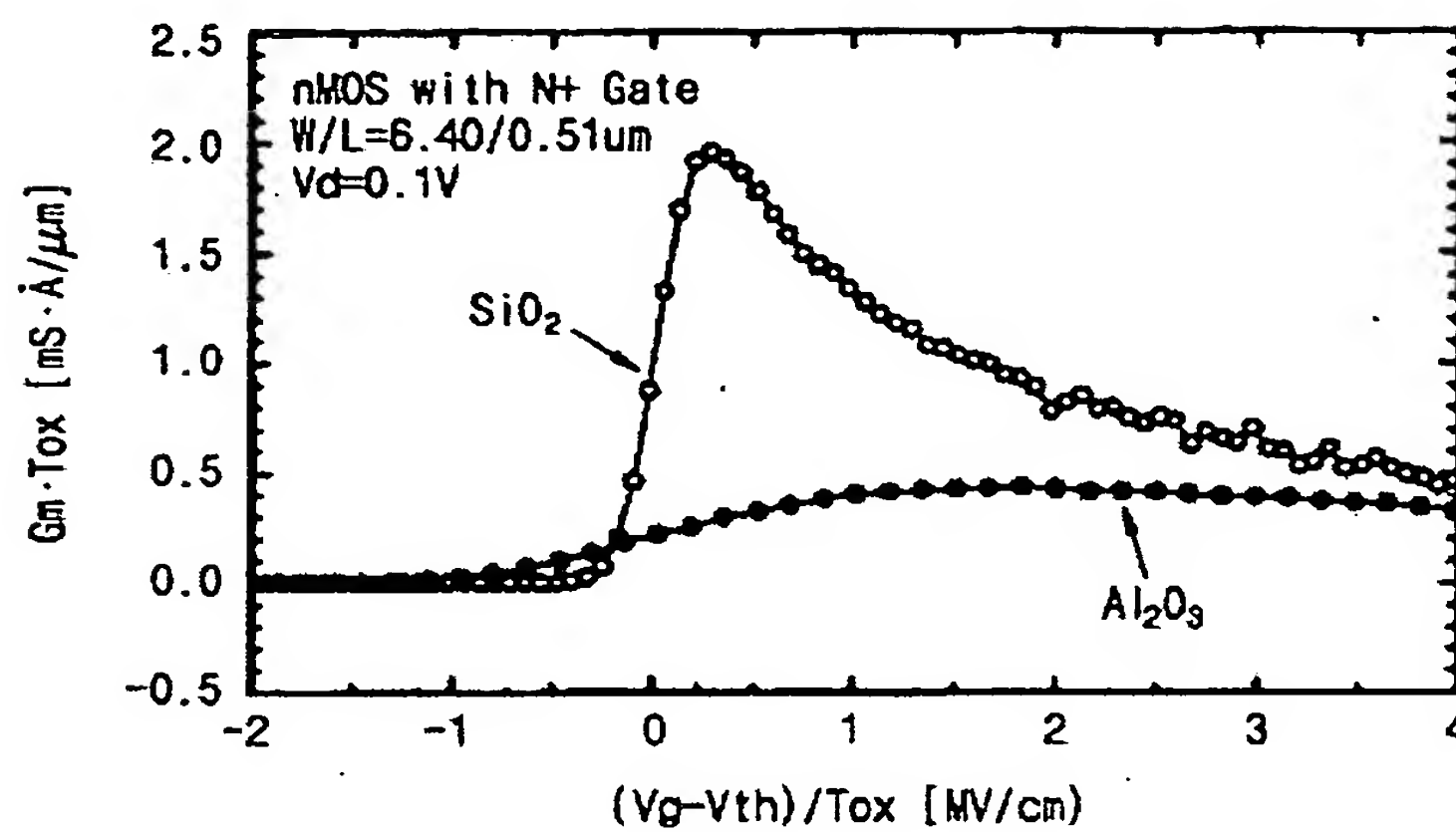
도면4b



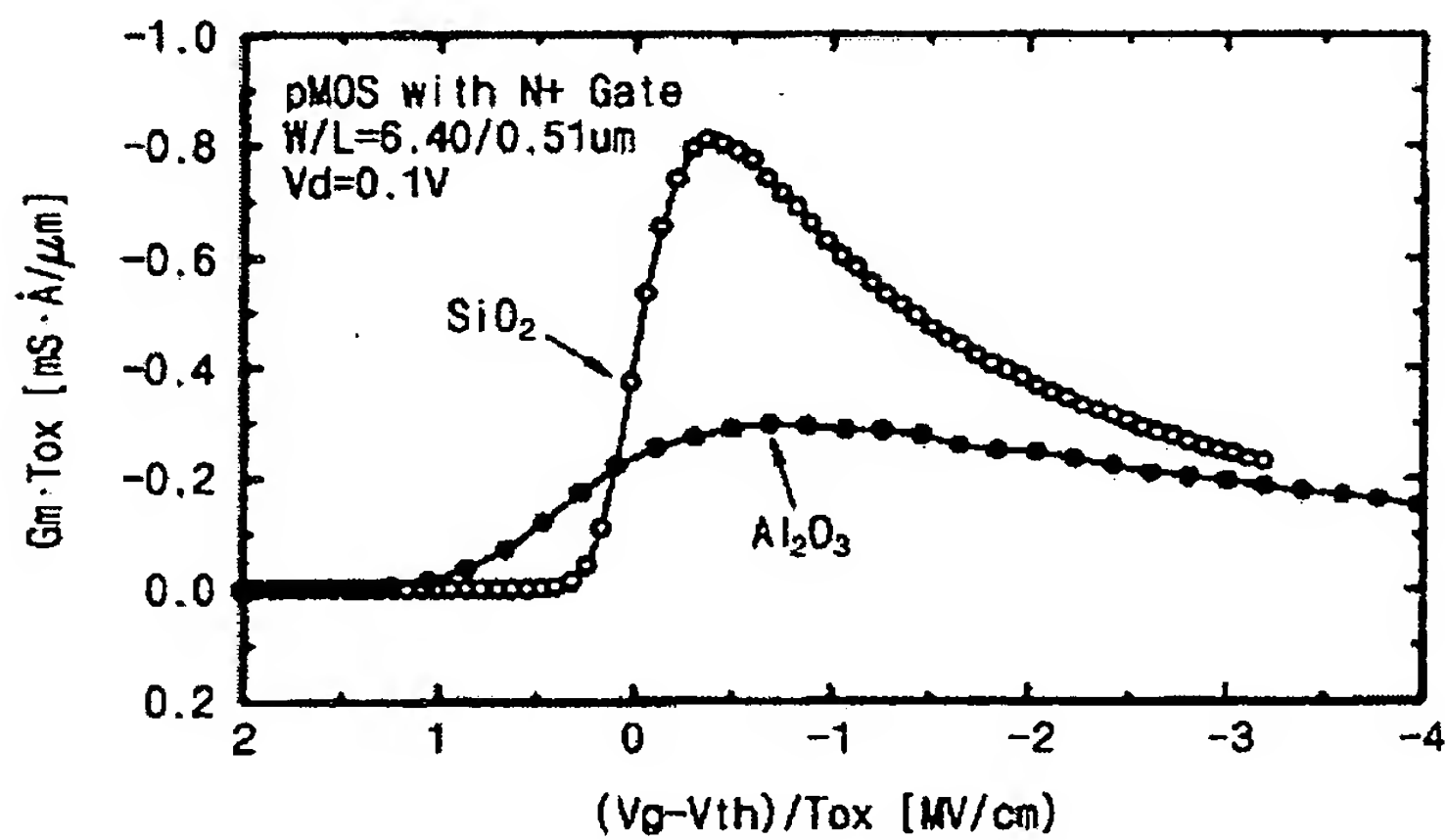
도면4b



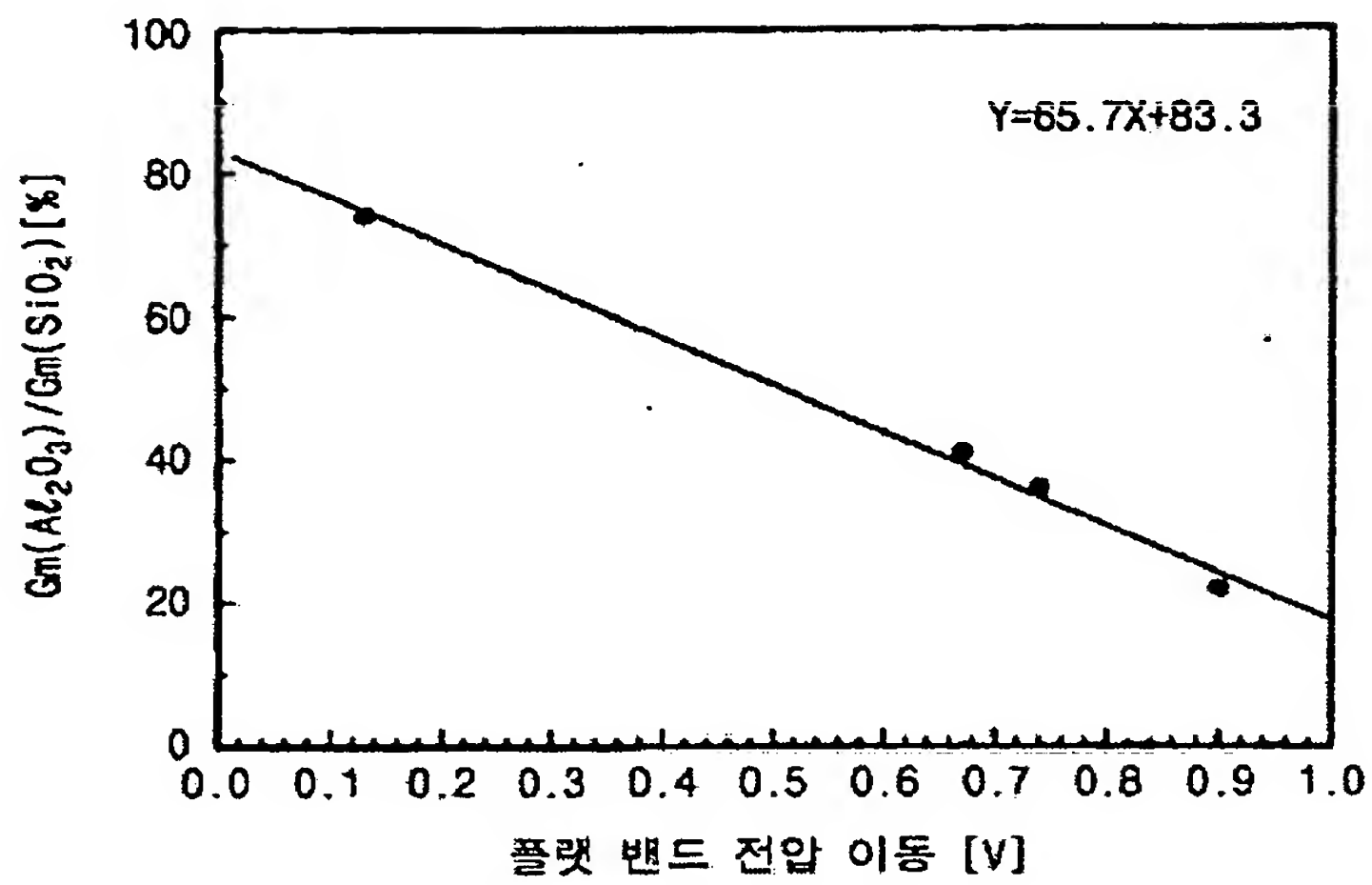
도 14b



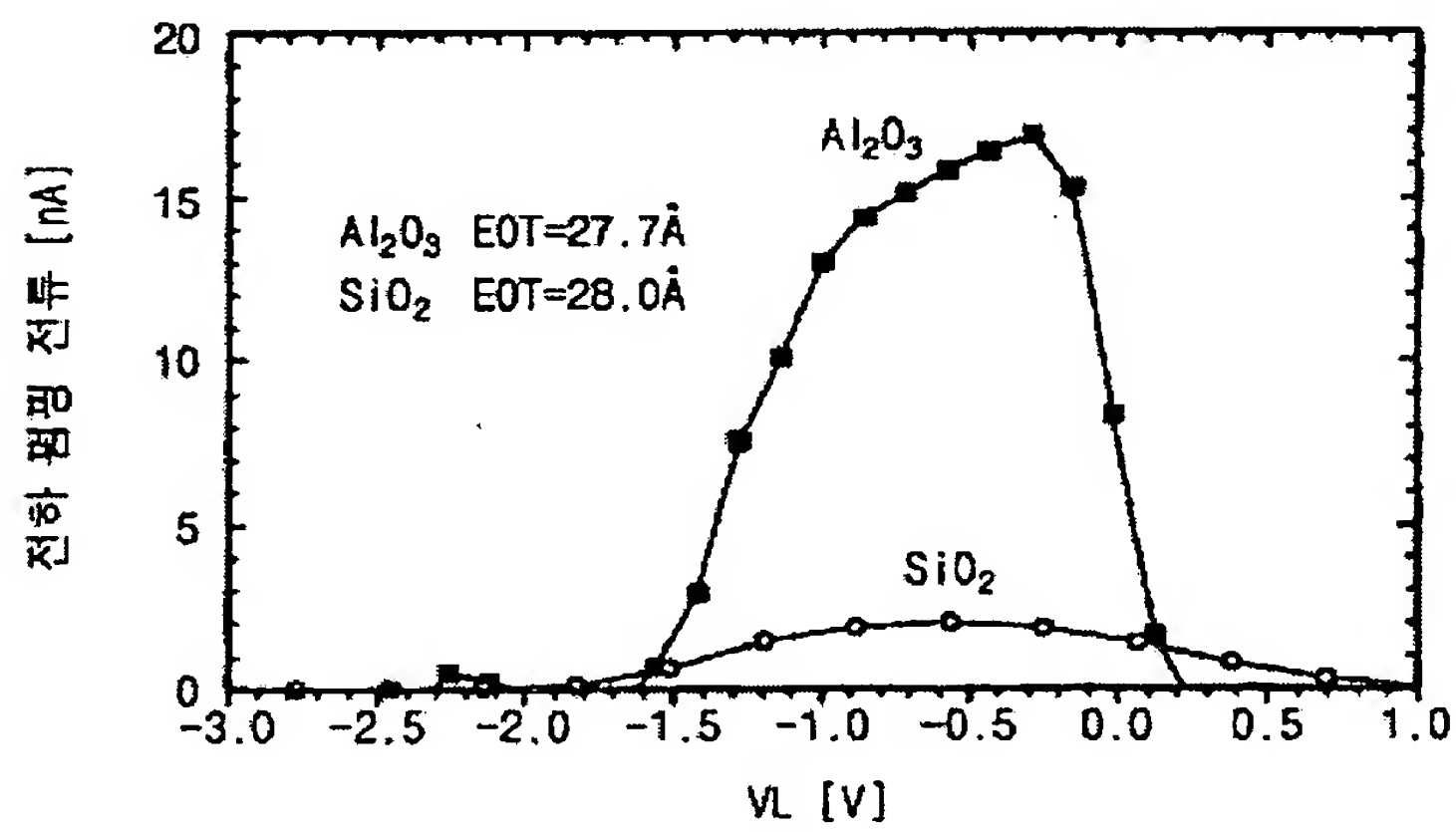
도 14d



도 25



도 26



도 17

